

DESAIN DAN ANALISIS KINERJA IC TTL AOI DUAL 2- WIDE 2-INPUT TERHADAP TEMPERATUR RUANG BERBEDA

Syaiful Rachman¹, Saberan²

*Politeknik Negeri Banjarmasin^{1,2}
syaifulrachman1@gmail.com¹, sberanpoliban@gmail.com²*

ABSTRACT

This research compared the performance of speed propagation time transition and voltage transfer characteristic (VTC) and designed of IC TTL standard AOI Dual 2- Wide 2-input. Specifications simulation resulted using PSPICE Cadence program with a load capacitor, 15 pf and load resistor, 5.2 kΩ with different temperature levels -55 ° C , 27 ° C , 125 ° C and produced a difference t_{PLH} (time transition low to high), t_{PHL} (time transitions high to low), the resulting for minimum temperature, propagation time transition performance was slower than room temperature. At VTC chart temperature of 125 ° C, there was an increase in the output voltage (V_{OH}) . At a temperature of -55 ° C decreased V_{OH} than at room temperature of 27 ° C and the result of design obtained in the speed of propagation time 9.8 times compared Datasheet TTL SN54LS51 AOI.

Keywords: *IC TTL AOI Dual 2-Wide 2-Input, propagation time transition, VTC.*

ABSTRAK

Penelitian ini membandingkan kinerja kecepatan transisi *propagation time* dan *voltage transfer characteristic* (VTC) dengan mendesain IC *standard TTL AOI Dual 2-Wide 2 input*. Spesifikasi hasil simulasi menggunakan program PSPICE cadence dengan kapasitor beban $C_L = 15$ pf dan $R_L = 5,2$ kΩ dengan tingkat suhu yang berbeda meliputi -55°C, 27°C, 125°C dan menghasilkan perbedaan t_{PLH} (*transisi low to high*), t_{PHL} (*transisi high to low*) dan waktu rerata propagasi yang dihasilkan. Untuk kondisi suhu minimum kinerja kecepatan waktu propagasi semakin lambat dibandingkan suhu ruang dan pada grafik VTC suhu 125°C, ada peningkatan tegangan output (V_{OH}). Pada suhu -55°C terjadi penurunan V_{OH} , dibandingkan pada suhu ruang 27°C dan hasil desain diperoleh peningkatan kecepatan waktu propagasi 9,8 kali dibandingkan *Datasheet TTL AOI SN54LS51*.

Kata Kunci: *IC TTL AOI Dual 2-Wide 2-Input, propagation time transition, VTC*

PENDAHULUAN

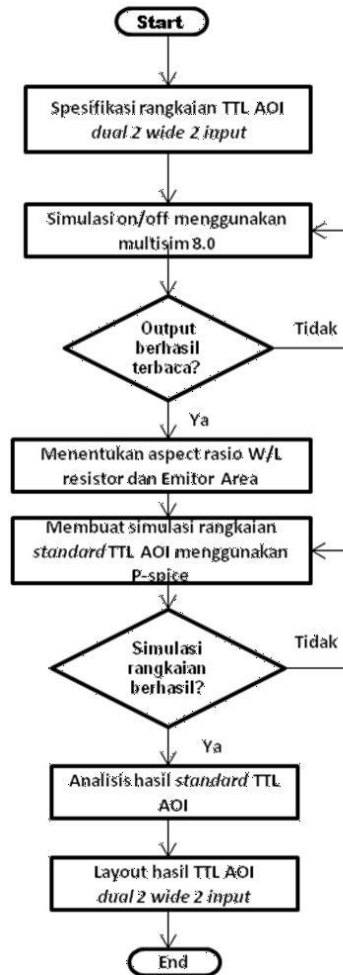
Rangkaian terpadu TTL AOI (AND OR INVERTER) *Dual 2 -wide 2-input* adalah gabungan gerbang logika digital yang terdiri dari dua gerbang logika AND dan gerbang logika OR dan INVERTER. Menentukan kecepatan operasi gerbang digital diukur berdasarkan parameter waktu propagasi yaitu t_{PLH} (*transisi low to high*) dan t_{PHL} (*transisi high to low*), *fall time*(t_f) dan *rise time* (t_r) kemudian *propagation delay average* (t_{PD}). Parameter ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi. Rangkaian terintegrasi *standard* TTL NAND gate, telah dirancang oleh Rashid [1]. Dalam Penelitian dilakukan oleh Lee, Singh dan Cooper menggunakan *standard integrated circuit* inverter TTL pada tahun 2008[2] dengan area emitor aktif 0,0105 mm persegi, panjang emitor (L_E) sebesar 100 μm dan 500 μm dan *Common Emitor Gain* (β_F) sebesar 22 dan 17. Hasil penelitiannya menggunakan sumber tegangan sebesar 15 Volt, menghasilkan t_{PLH} sebesar 98 ns dan t_{PHL} sebesar 114 ns dan kecepatan rata-rata *time propagation delay* sebesar 108 ns . Pada tahun 2011 Singh and Cooper [3] mengoptimalkan rangkaian dengan *inverter* STTL dengan luasan panjang emitor sebesar 125 μm dan diperoleh kecepatan *propagation delay* sebesar 9,8 ns, disimulasikan menggunakan program SPICE.

Permasalahan rangkaian TTL pada suhu ruang akan mempengaruhi kinerja dari waktu propagasi selama kondisi transisi *low* ke *high* (t_{PLH}) [4], dan parameter karakteristik transfer alih tegangan (VTC) kurang ideal. Sedangkan rangkaian TTL pada bagian rangkaian aktif *pull-up* terkait dengan peningkatan arus rata-rata dari output yang dihasilkan mengakibatkan transisi waktu propagasi dari *high* ke *low* (t_{PHL}) lebih lama, sehingga akan mempegaruhi waktu propagasi rata-rata dari IC TTL. Berdasarkan hasil desain dan analisis, diperoleh lebih optimal terhadap kemampuan kinerja dari rangkaian terpadu *standard dual 2-wide 2-input* TTL AOI dibandingkan dengan *datasheet* IC TTL gerbang AOI *dual 2-wide 2-input* (IC 54LS51).

Tujuan yang dicapai dalam penelitian ini adalah merancang IC TTL AOI jenis *standard Dual 2-Wide 2-Input* dengan menganalisis kinerja rangkaian dengan perhitungan dan simulasi sehingga hasil *propagation delay* dan karakteristik transfer alih tegangan (VTC) lebih optimal dibandingkan dengan IC *datasheet* SN 54LS51.

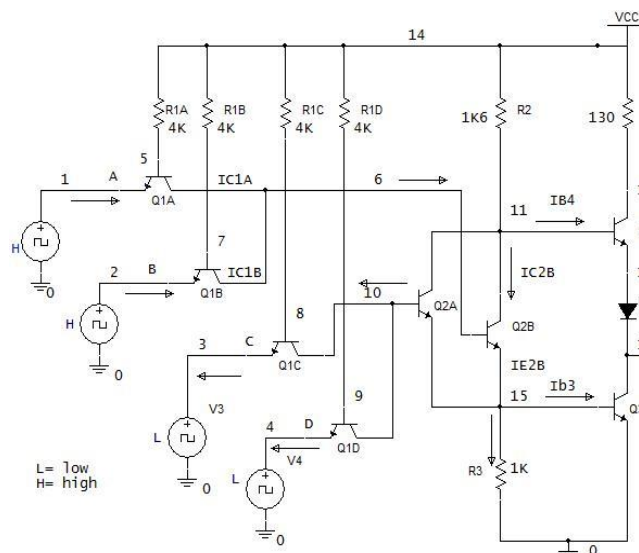
METODE PENELITIAN

Penyusunan metode penelitian berdasarkan spesifikasi rangkaian *standard* TTL AOI dengan konfigurasi IC *Dual 2-Wide 2-Input*, selanjutnya menentukan nilai resistor. Berikutnya melakukansimulasi dengan Multisim 8.0. Isyarat output berhasil terbaca dengan metode memberikan input logika 1/0. Perancangan aspect rasio W/L resistor dan emitor area dilakukan. Hasil desain disimulasikan dengan program SPICE meliputi beragam suhu, dan dianalisis hasil yang diperoleh. Diagram alir langkah penelitian tampak dalam Gambar 1.



Gambar 1. Diagram alir penelitian

Tahap desain rangkaian *standard* TTL AOI yang menggunakan transistor bipolar jenis NPN, sebagai rangkaian *equivalent* gerbang logika TTL AOI seperti ditunjukkan dalam Gambar 2.



Gambar 2. Rangkaian *standard equivalent* TTL AOI dual 2 wide 2 input

Terdapat beberapa nilai parameter yang telah diketahui nilai dan satuannya, untuk lebih mendekati pada karakteristik devais dan mempermudah proses analisis, seperti ditunjukkan pada Tabel 1.

TABEL I
NILAI HASIL PERHITUNGAN ASPECT RASIO W/L

Symbol	Resistor (R)	W/L
R1A	4k Ω	50/1000
R1B	4k Ω	50/1000
R1C	4k Ω	50/1000
R1D	4k Ω	50/1000
R2	900 Ω	50/225
R3	1,7k Ω	50/875
R4	130 Ω	50/32,5

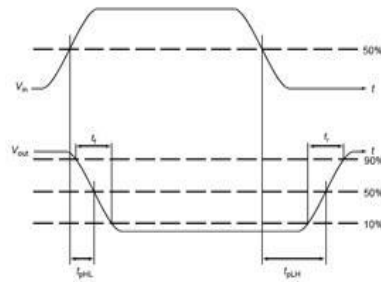
Desain struktur transistor bipolar NPN dengan model parameter β_F , β_R dan emitor area (A_E) pada penelitian ini ditunjukkan pada Tabel II [4].

TABEL II
DESAIN STRUKTUR TRANSISTOR BIPOLAR NPN

Symbol	Diskripsi	Nilai
NDE	Emitor doping Kolektor	1.10E+18 cm ⁻³
NDC	doping	1.5E+16 cm ⁻³
NAB	Basis doping	6.00E+17cm ⁻³
μ_pE	Mobilitas hole emitor	147 m ² /V.s
μ_nB	Mobilitas Elektron basis	358 cm ² /V.s
μ_pC	Mobilitas hole kolektor	417cm ² /V.s
τ_{pE}	Emitor <i>lifetime</i>	9.30E-07 s
τ_{nB}	Base <i>lifetime</i>	4.75E-07 s
τ_{pC}	Lebar kolektor	8.50E-05 s

HASIL DAN PEMBAHASAN

Parameter propagation delay ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi. Waktu propagasi dari penundaan ini yaitu perbedaan waktu antara titik di mana V_{IN} meningkat sampai 50% dari nilai akhir dan saat V_{OUT} jatuh ke titik 50%. ini disebut t_{pHL} , dan ketika V_{IN} jatuh sampai 50% dari nilai akhir dan saat V_{OUT} menurun ke titik 50%. ini disebut t_{pLH} [7]. didefinisikan seperti dalam Gambar 3[4].

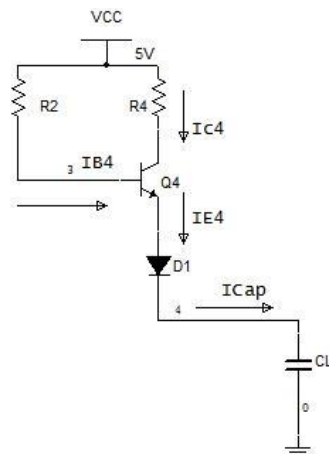


Gambar 3. Definisi *propagation delay*[4]

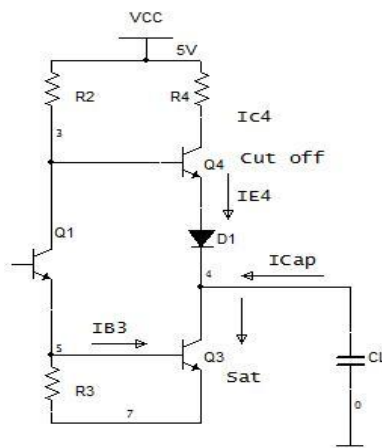
Analisis perhitungan *standard* TTL AOI pada suhu 27°C, nilai parameter *propagation delay*, t_{PLH} berdasarkan rangkaian aktif *pull-up* seperti ditunjukkan Gambar 4. Pada saat $V_o = V_{CE(sat)} = 0,1 \text{ V}$, arus I_{B4} diperoleh sebesar 2,1 mA, pengisian arus kapasitor ($i_{Cap} \approx I_{E4}$) dan $\beta F = 10$ yaitu:

$$i_{Cap} \approx i_{E4} = (\beta + 1) \cdot I_{B4} = (10 + 1) \cdot 2,1 \approx 23 \text{ mA}$$

Pada saat V_o meningkat = 1,8 V, arus basis dari transistor Q_4 yaitu 1,125 mA, arus kapasitor ($i_{Cap} \approx I_{E4}$), diperoleh sebesar 11,25 mA. Sehingga arus rata rata pengisian kapasitor yaitu 17 mA dan t_{PLH} dengan beban kapasitor 15 pf sebesar 1,5 ns.



Gambar 4. Rangkaian aktif *pull-up standard* TTL



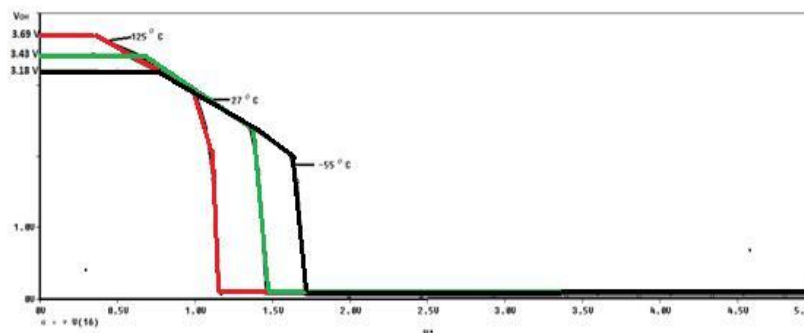
Gambar 5. Rangkaian aktif *pull-down standard* TTL

Analisis arus untuk menentukan *propagation delay* t_{PHL} ditunjukkan dalam Gambar 5. Hasil diperoleh $I_{C3(max)}$ yaitu :

$$I_{C3(Max)} = \beta \cdot i_{B3} = 10.(3,2) \text{ mA} = 32 \text{ mA}$$

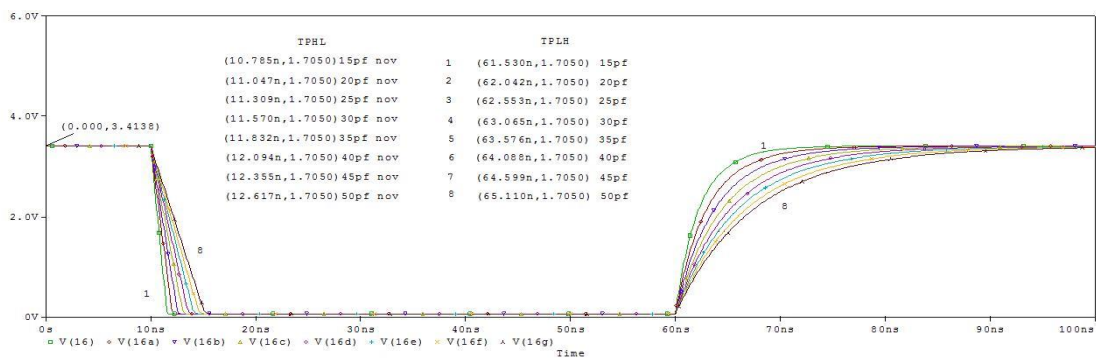
Jadi perhitungan t_{PHL} dengan kapasitor beban $C_L = 15 \text{ pf}$, adalah $t_{PHL} = 0,79 \text{ ns}$. Maka diperoleh *time propagation delay* (t_{PD}) yaitu 1,15 ns.

Simulasi yang dilakukan menggunakan *software* PSPICE meliputi simulasi karakteristik transfer alih tegangan (VTC) untuk mengetahui besarnya nilai V_{IL} , V_{IH} , V_{OL} , V_{OH} , *noise margin* dan simulasi *propagation delay* untuk mengetahui besarnya nilai t_{PHL} , t_{PLH} , t_r dan t_f . Pada simulasi VTC rangkaian diberi tegangan masukan DC sebesar 5V dengan kapasitorbeban ($C_L = 15 \text{ pf}$), dan $R_L = 5,2k$. Pada suhu 125°C dibandingkan pada suhu ruang, sedangkan untuk parameter V_{IH} dan V_{OL} berbanding terbalik. Kemudian hasil keseluruhan grafik VTC dideskripsikan dalam Gambar 6.



Gambar 6. Hasil simulasi VTC TTL AOI

Dan hasil simulasi *time propagation delay* TTL AOI menggunakan beban kapasitor (C_L), ditunjukkan dalam Gambar 7.



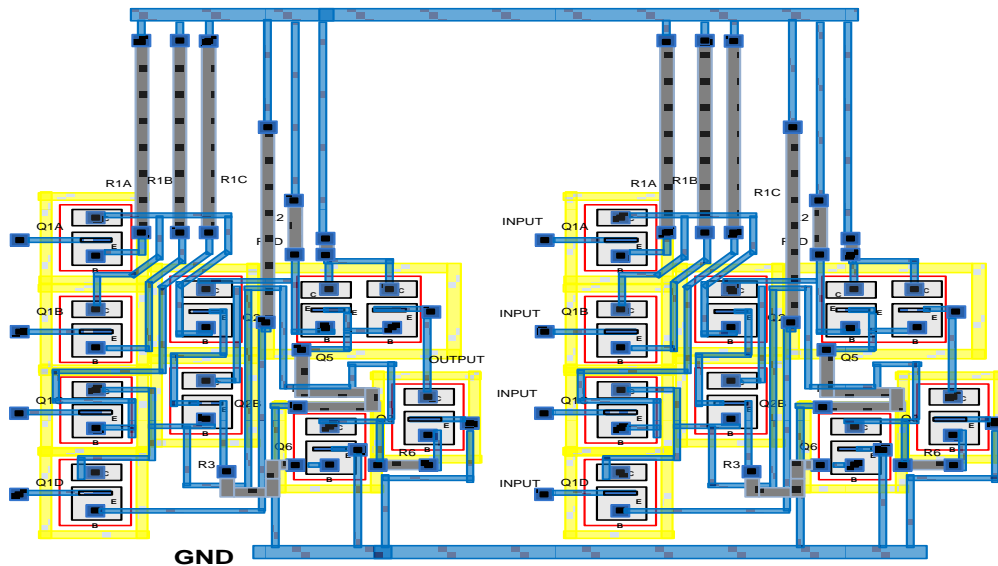
Gambar 7. Hasil simulasi *time propagation delay* TTL AOI

Pada Tabel III ditunjukkan perbandingan antara hasil simulasi dan *Datasheet* IC dengan beragam suhu menggunakan beban kapasitor ($C_L = 15 \text{ pf}$).

TABEL III
 PERBANDINGAN HASIL SIMULASI DAN *DATASHEET* SUHU BERBEDA

Symbol parameter	Hasil simulasi			Data Sheet	unit
	-55 °C	27 °C	125 °C		
V _{OH}	3,18	3,43	3,69	3,4	V
V _{OL}	0,045	0,061	0,082	0,5	V
V _{IH}	1,70	1,47	1,16	2,0	V
V _{IL}	0,70	0,60	0,304	0,8	V
N _{ML}	0,655	0,53	0,22	0,3	V
N _{MH}	1,48	1,94	2,53	1,4	V
t _{PLH}	1,59	1,53	1,54	13,0	ns
t _{PHL}	0,81	0,77	0,75	8,0	ns
t _r	3,18	3,06	3,08	26,0	ns
t _f	1,62	1,54	1,50	16	ns
t _{PD}	1,20	1,16	1,14	10,5	ns
P _D	26,7	27,9	29,4	55	mW

Hasil *layout* TTL AOI *dual 2-wide 2-input* dideskripsikan menggunakan microsoft Visio 2007 tanpa *I/O pad* dengan ukuran *layout* sebesar 3950 μm x 3085μm ditunjukkan dalam Gambar 8. Jika *layout* menggunakan *I/O pad* dengan ukuran *layout* sebesar 19,50 mm x 9,36 mm. Dibandingkan dengan hasil *layout* berdasarkan *datasheet* IC TTL AOI sebesar 19,50 mm x 10 mm[10].



Gambar 8. *Layout* IC TTL AOI tanpa *IO pad*

KESIMPULAN

Kinerja rangkaian hasil perancangan IC *standard* TTL AOI *dual 2-wide 2-input* memiliki waktu propagasi lebih cepat; berdasarkan simulasi dengan beban kapasitor 15pf, peningkatan kecepatan 9,8 kali dibandingkan *datasheet* TTL AOI SN54LS51. Karakteristik transfer alih tegangan (VTC) yang dihasilkan pada suhu minimum (-55°C) kurang maksimal dibandingkan pada suhu 27°C dan suhu 125°C. Untuk IC *standard* TTL AOI hasil simulasi disipasi daya (P_D) yang dihasilkan pada perancangan TTL AOI lebih kecil dibandingkan pada rangkaian *standard datasheet*

DAFTAR PUSTAKA

- [1] Muhammad H.Rashid.2011.Microelectronic Circuits:Analysis and Design PWS publishing company, Boston, 2008
- [2] J.-Y. Yang, et al., "Monolithic integration of SiC power MOSFETs and SiC Schottky diodes on a 4H-SiC substrate," *IEEE Trans. Electron Devices*, vol. 55, no. 1, pp. 100-105, Jan. 2008
- [3] Singh S., and J. A. Cooper, 2011. "Bipolar integrated circuits in 4H-SiC," *IEEE Trans. Electron Devices*, PP 99, no 1.
- [4] Adel S. Sedra, Kenneth C. Smith, 2004.Microelectronic Circuit Fifth Edition Oxford university press, New York, York, W. A. S. McGraw, D.L.C. University of Cambridge
- [5] Gray, Hurst, Lewis, Meyer, dkk. 2001. Analysis and Design of Analog Integrated Circuit. fourth Edition. John Wiley & Sons Ltd.. New York.
- [7] Kurt Hoffmann.2004.System Integration From Transistor Design to Large Scale Integrated Circuits, John Wiley & Sons Ltd, The Atrium, Southern Gate, Chichester, West Sussex PO19 8SQ, England.
- [8] Richard C Jaeger, Travis N. Blalock.2011..Microelectronic Circuit Design, Fourth Edition Published by McGraw-Hill, a business unit of The McGraw-Hill Companies, Inc., 1221 Avenue of the Americas, New York.
- [9] March Cahay , ECECS 352: Electronics II (Spring 2012), [Online].Available : <http://www.ece.uc.edu/~mcahay/>
- [10] National Semiconductor Data Sheet, Products Inc., Texas , 1988.